

Peer learning in EE Module 3 (Electronics)

Anne-Johan Annema

Module 3 (Electronics)

Math: Cayley

Electronics

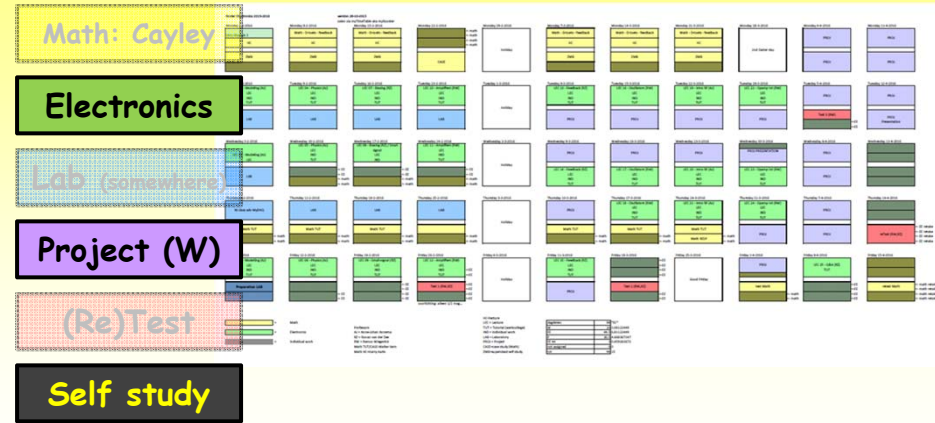
Lab (somewhere)

Project (W)

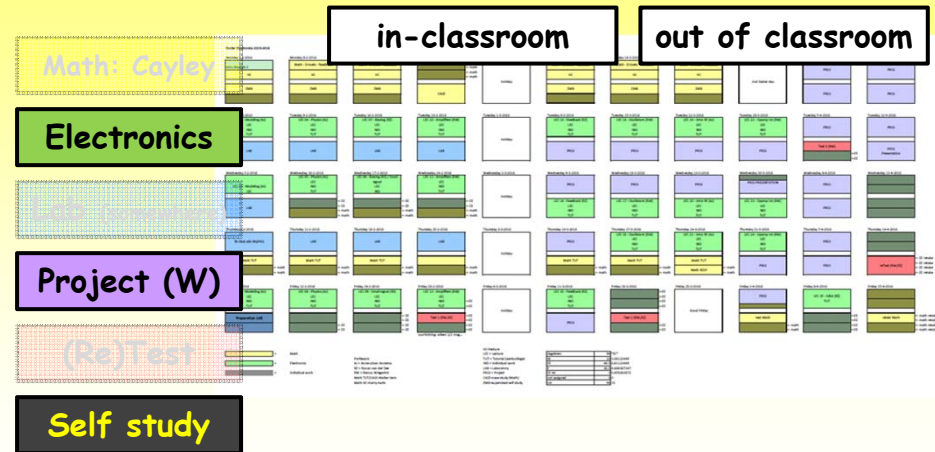
(Re)Test

Self study

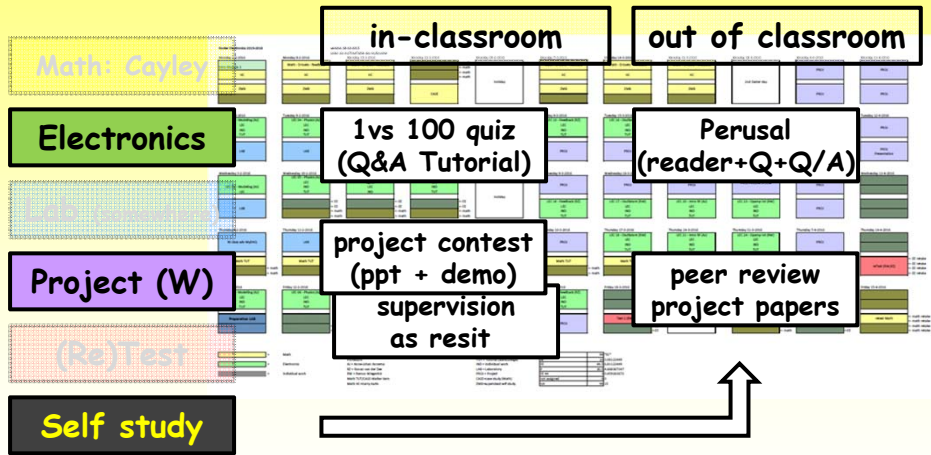
Module 3: peer learning



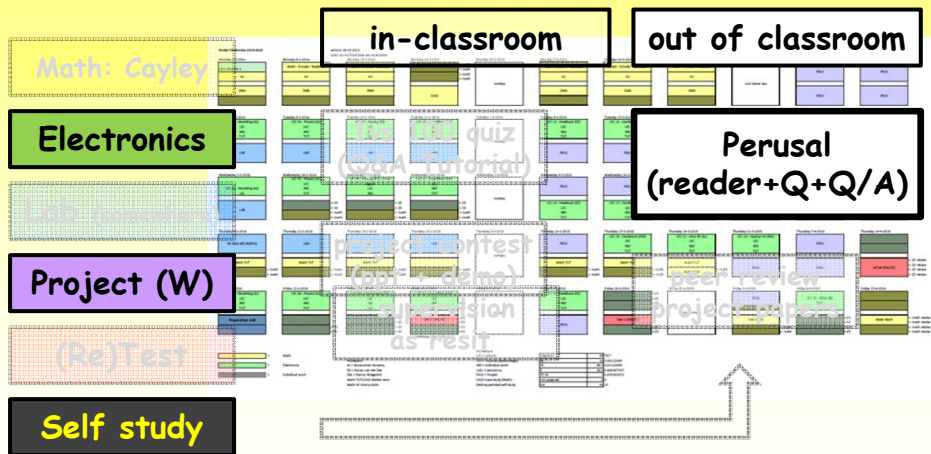
Module 3: peer learning



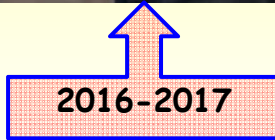
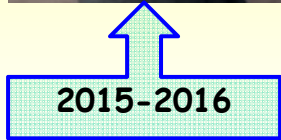
Module 3: peer learning



Module 3: peer learning



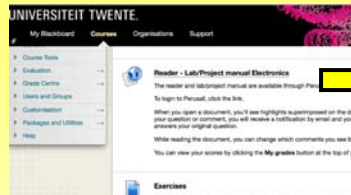
OW-Seminar May 2017



University of Twente
EE B1-2A: Electronics - Anne-Johan Annema

7/27

OW-Seminar May 2017



Documents

- Module 3 Projectmanual_2016-2017_v1a (23 pages, 1 comment)
- Extra Exercises Electronics 2016-2017 (no answers available) (24 pages)
- Exercises Electronics 2016-2017 (without answers) (60 pages, 10 comments, 8 unanswered questions)
- Exercises Electronics 2016-2017 (with answers) (129 pages, 18 comments, 8 unanswered questions)
- Module 3 Projectmanual_2016-2017_v1 (23 pages, 11 comments, 2 unanswered questions)
- reader_1617_v1 (273 pages, 52 comments, 13 unanswered questions)

Assignments

- Due February 7, 2017 10:00 pm
- Due February 13, 2017 10:00 pm
- Due February 27, 2017 10:00 pm
- Due March 6, 2017 10:00 pm
- Due March 13, 2017 10:00 pm
- Due March 20, 2017 10:00 pm
- Due March 27, 2017 10:00 pm
- Due April 3, 2017 10:00 pm

University of Twente
EE B1-2A: Electronics - Anne-Johan Annema

8/27

OW-Seminar May 2017

The screenshot displays the Perusall interface for the course 'Module 3: Electronics (2016-2017)'. On the left, a sidebar lists documents including 'Module 3 Projectmanual_2016-2017_v1a', 'Extra Exercises Electronics 2016-2017 (no answers available)', 'Exercises Electronics 2016-2017 (without answers)', 'Exercises Electronics 2016-2017 (with answers)', and 'Module 3 Projectmanual_2016-2017_v1'. A yellow arrow points from the 'reader' label to the 'reader_1617_v1' document. On the right, an 'Assignments' section lists due dates for various exercises. A yellow callout box states: 'Annotation deadlines: before 1st class/week'. Another yellow callout box points to the assignments list, stating: 'Chapters (1 per week)'. The University of Twente logo and course name 'EE B1-2A: Electronics - Anne-Johan Annema' are visible at the bottom, along with the date '9/27'.

OW-Seminar May 2017

This slide compares the Perusall setup for two academic years. Two callout boxes are present: a green one for '2015-2016' and a red one for '2016-2017'. Below these, two columns of bullet points describe the course structure for each year. The background shows a partial screenshot of the Perusall interface with yellow arrows pointing to the callouts. The University of Twente logo and course name 'EE B1-2A: Electronics - Anne-Johan Annema' are visible at the bottom, along with the date '10/27'.

<p>2015-2016</p> <ul style="list-style-type: none"> - ~90 students - 4 groups - 6 annotations to grade - for 1 point (of 10) 	<p>2016-2017</p> <ul style="list-style-type: none"> - ~70 students - 4 groups - 6 annotations to grade - for 1 <i>bonus</i> point
---	--

Perusall Module 3: Electronics - reader_electronics_1516

and output port. Due to the nature of the BJT, the input port must be formed by the v_{be} voltage while the output port voltage is v_{ce} . The emitter node is common in the input and output port, hence the name CEC.

- a common-base circuit (CBC) in which the *base* is shared by the input port and output port. So the input port must be formed by the v_{be} voltage while the output port voltage is v_{cb} .
- a common-collector circuit (CCC) in which the *collector* is shared by the input port and output port. So the input port must be formed by v_{be} while the output port voltage is v_{ce} .

All these basic circuits using one BJT have distinct small-signal properties. The figure below lists the 3 possible configurations³, starting from the generalized bias circuit for a BJT.

Figure 5.2: Amplifier circuits with a BJT: (a) is the CCC; (c) is the CEC and (d) is the CBC.

The generalized bias circuit for one BJT is shown in figure 5.2a. In all circuits either the base or the emitter or both are directly driven by the input signal; driving is done via (DC blocking) capacitances. Drawing one voltage mesh including the input signal and one transistor node pair and drawing one voltage mesh that includes both the output port of the circuit and one transistor node pair directly reveals the common node (in both meshes). In this way figure 5.2b represents the common-collector circuit (CCC).

Chat messages:

are these stipple and bolt lines simply the new parts that are added to the general circuit or do they represent something else?

I believe the bolt and stipple lines show the shared terminal in each of the three cases. For the CCC (b) for example we know that the collector is shared by the input(bolt line) and the output port (stip line).

a thanks

Lecturer experiences:

2015-2016

2016-2017

- Students did read chapter for that week
- Students get the points more easily
- Need less time, can focus on loose points
- Xs time to do Q&A!
- Xs time to do project!

Lecturer experiences:

2015-2016

- Students did read chapter for that week
- Students get the points more easily
- Need less time, can focus on loose points
- Xs time to do Q&A!
- Xs time to do project!

Lecturer experiences:

2016-2017

- Students hardly read chapter for that week
- Students need more explanation/lectures
- Students had cons. less knowledge in projects!

Student experiences:

2015-2016

- 4212 annotations
- Students do read chapter for that week!
- Helps to understand lectures/matter!
- Offline studying-together is nice!

Student experiences:

2016-2017

- 65 annotations

Student experiences:

2015-2016



together is nice!

Student experiences:

2016-2017



Student experiences:

2015-2016

- Students do read chapters for that week!
- Helps to understand lectures/matter!
- Offline studying-together is nice!
- Unclear grading algorithm (hard to fool system)

Students upload late!

mostly last 30mins:

- cannot react on others
- if understood: cannot annotate

"unfair" for good student

Many useless comments

just to make them

must be online, auto logout

some need pdf as well



2015-2016

- ~90 students
- 4 groups
- 6 annotations to grade
- for 1 point (of 10)

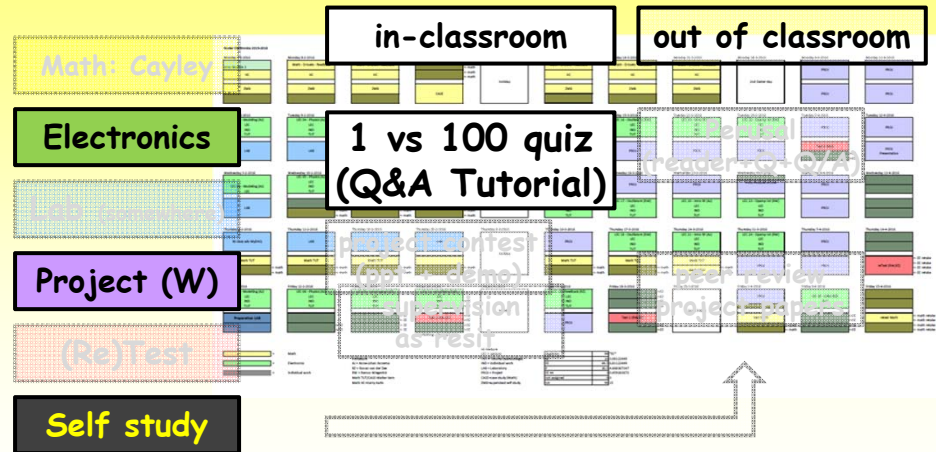
mandatory oo-classroom works

2016-2017

- ~70 students
- 4 groups
- 6 annotations to grade
- for 1 *bonus* point

optional oo-classroom fails

Module 3: peer learning



1vs 100 quiz

Electronics, 1 vs. 100

1. Models & Circuit analysis
2. PN junction, BJT, MOS
3. Bias circuits & Small signal equivalent circuits
4. Amplifier circuits
5. Feedback (negative)
6. Feedback (positive), oscillators
7. RF

Small Circuits

University of Twente
EE B1-2A: Electronics 17

Electronics, 1 vs. 100

1 vs. 100

QUIZ:

- covering all stuff in EIBasFun
- bonus points
- incl. discussions



- exam rules
- "adjusted" 1-100 rules
- rules may be changed by AJ

University of Twente
EE B1-2A: Electronics 27


Electronics, 1 vs. 100

1 vs. 100

TheMob

bla bla?
a,b,c,d

TheOne



University of Twente
EE B1-2A: Electronics 47

Electronics, 1 vs. 100

1 vs. 100



until:

- TheOne only survivor
- TheOne wrong answer => new TheOne
- Out of questions
- Out of time
- AJ gets bored



University of Twente
EE B1-2A: Electronics 127

1vs 100 quiz

- 8:45 - 9:00 intro +



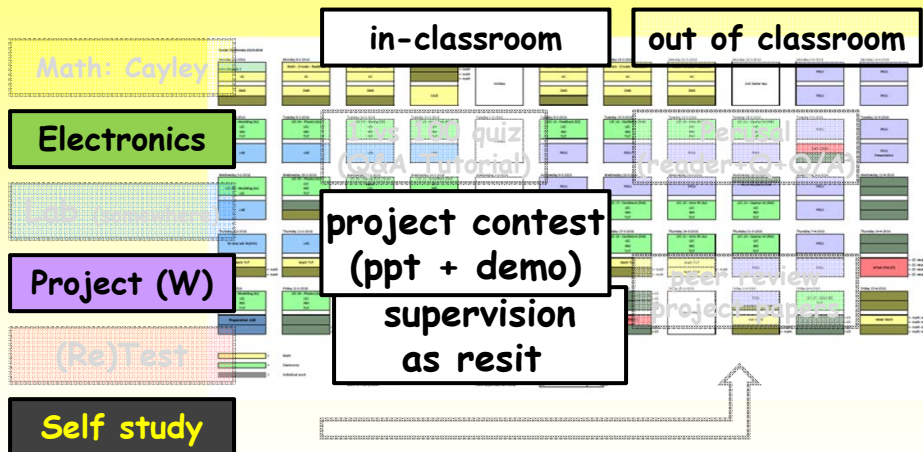
- 9:00 - 12:00 non-stop quiz
 - students do not want to stop
 - very high intensity tutorial
- beat others (motivates)
- wrong answer (frustrates/motivates)

1vs 100 quiz



optional
serious fun
in-classroom works

Module 3: peer learning



Project presentations



• Arduino, module, just build, output

2nd part

- various end levels
- more knowledge

1st part

- various end levels
- basic knowledge

- 3 persons/group
 - nowhere to hide, noway to freeload

Project presentations

- 2 projects
 - 1st: various end levels
 - 2nd: various end levels,
- 3-minutes presentations
 - think about highlight
 - what's interesting?
 - enforced: nice for audience, no overtime
 - awards for best, sadest, most powerful



Project presentations

- 2 projects
 - 1st: various end levels
 - 2nd: various end levels,
- 3-minutes presentations
 - think about highlight
 - what's interesting?
 - enforced: nice for audience, no overtime
 - awards for best, sadest, most powerful



Retake → project supervision

- Student that retake module:
 - retake Electronics (theory, test)
 - retake Math
 - no need to redo labs
- Project: supervise project
 - redoing leads to doing the same/unmotivatedly
 - need to study theory&apply in more detail
 - motivating & fun
 - will be graded!

Retake → project supervision

In mijn eerste studiejaar van 2015/2016 heb ik de derde module, electronics, niet gehaald. De module bestaat uit een project en vier toetsen, waarvan één wiskunde toets en drie electronics toetsen. Van deze delen heb ik in het eerste studiejaar alleen het project en wiskunde gehaald. Aangezien ik het project wel gehaald had, werd mij de keuze voorgelegd om de module op een andere wijze over te doen. Dit hield in dat ik in plaats van het project opnieuw te doen, de studentassistenten kon helpen bij het begeleiden van het project. Ik had nog steeds kennis van het project van het vorige studiejaar, en mede daardoor leek het me interessant om te helpen bij het assisteren. Het project van electronics bestaat uit twee delen. In het eerste deel is het de bedoeling dat er een versterker ontworpen en gebouwd wordt, zonder geïntegreerde circuits. In het tweede deel wordt er een audio transmitter ontworpen en gebouwd, ook hier mogen geen IC's gebruikt worden. Het project begon na de eerste 4 weken in de module, daar voor waren er labs ingepland ter voorbereiding van het project. Deze lab-opdrachten hoefde ik niet over te doen, wat niet betekende dat ik deze opdrachten niet hoefde te begrijpen, aangezien dit een deel van de basiskennis was om te kunnen begeleiden. Dit betekende dus dat de extra vrije tijd die ik kreeg door uitsluitend van deze opdrachten besteedde aan de voorbereiding voor de begeleiding van het project.

Voor mij bestond deze voorbereiding uit het doornemen van de lab-opdrachten en inzicht krijgen in verschillende ontwerpen/deelontwerpen. Naast het feit dat dit mij hielp om goed voorbereid te zijn voor begeleiding bij het project, was een bijkomstig voordeel dat ik een dieper begrip kreeg van de leerstof voor de toetsen. Dit was terug te zien in mijn resultaten voor de toetsen, die aanzienlijk hoger waren dan het jaar ervoor, uiteraard mede doordat mijn inzet dit jaar hoger lag, maar ook zeker door deze voorbereiding.

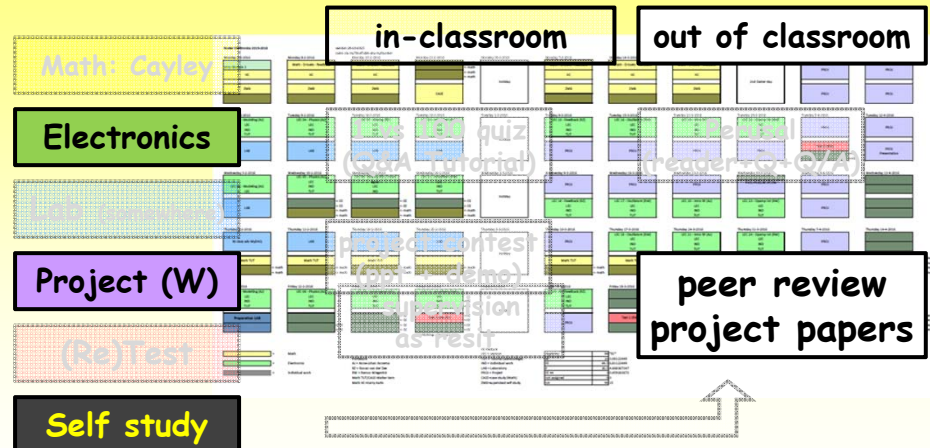
Aan het begin van het eerste deel van het project bestond de aanpak bij veel studenten vooral uit trial and error, en de eerste problemen waar de studenten tegen aan liepen hadden vaak een duidelijke oorzaak wanneer er goed over het betreffende ontwerp werd nagedacht. Dit betekende dus dat hints moest geven, en ze aan moest sturen op een juiste aanpak van het creëren van een ontwerp. Wat inhoudt dat de studenten eerst moeten begrijpen wat de functie is van elk component in het circuit, en zo tusschen krijgen in de vraag waarom het ontwerp het wel of niet doet zoals verwacht. Naarmate het project vorderde werden de vragen complexer en gevarieerder, waardoor ikzelf ook weer meer inzicht moest vergaren, soms met hulp van de student-assistenten, in de werking van verschillende ontwerpen. Op deze manier leer je de stof anders dan wanneer je zelf met het project bezig bent, want je bent gefocust op je eigen ontwerp, en krijg je veel inzicht in een specifiek ontwerp. Maar juist bij dit project zijn er ontzettend veel verschillende manieren om een ontwerp te creëren. Bij het begeleiden van het project krijg je veel gevarieerde vragen over veel verschillende ontwerpen, hierdoor krijg je een bredere blik op het aanpakken van problemen die je tegen komt bij het ontwerpen van de versterker, dan wanneer je alleen gefocust bent op je eigen project.

Uiteraard zijn er ook periodes waarin er weinig vragen gesteld worden. Hierdoor zou men kunnen zeggen dat het begeleiden rustiger en minder intensief is, dan het project overnieuw te doen. Ondanks dat ik niet te maken had met deadlines, werd ik toch wel gedwongen om deze tijd te vullen met het begrijpen van veel voorkomende problemen waar de studenten tegen aan lopen bij het project. Daarnaast stond het tweede deel van het project alweer voor de deur, wat betekende dat ik de studenten tegen die tijd, qua kennis op gebied van het tweede deel, alweer een stap voor moest zijn. Het tweede deel van het project was denk ik lastiger voor de studenten, in die zin dat er meer begrip nodig was voor wat je aan het doen bent. Zomaar iets proberen, wat bij het eerste deel nog wel heel af en toe succes op kon leveren, was bij het tweede deel niet veel ruimte voor, wat denk ik de reden was dat er bij het tweede deel van het project meer vragen gesteld werden. Tegen het einde van het project kwamen meer dan ook meer vragen waar ik de studentassistenten moest raadplegen.

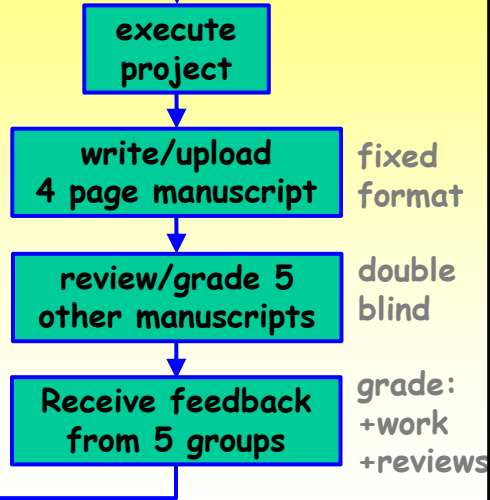
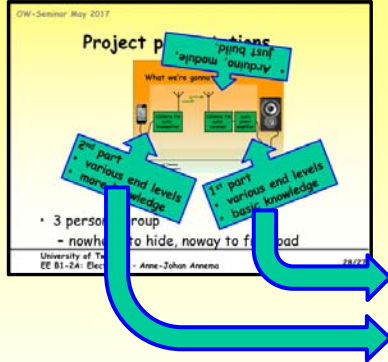
Als ik achteraf de twee opties, het project doen en het project begeleiden, met elkaar vergelijk, dan denk ik dat het begeleiden van het project ervoor zorgt dat je een breder en dieper begrip krijgt van de theorie. Vooral om de eerder genoemde redenen. Je komt meer variatie aan problemen tegen dan in het geval dat je alleen op je eigen project gefocust bent. Ook is het zo dat je gedwongen wordt om de andere studenten voor te blijven qua kennis.

optional/commitment + serious fun
in-classroom works

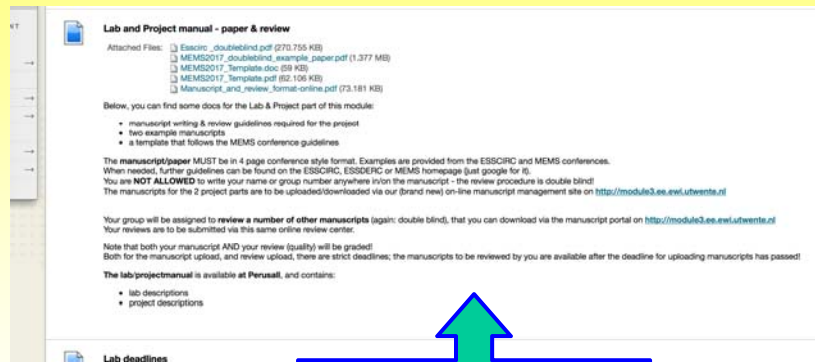
Module 3: peer learning



Project papers - peer review



Project papers - peer review







Project papers - peer review

Module 3 Online Submit and Review System

Admin

Rounds Groups Review Criteria Settings Admins module3

+ Add new round

Rounds Name	Added	Deadline (Paper)	Deadline (Review)	Reviews per Paper	Groups Participating	Actions
Project II: FM transmitter	16/04/17 17:06	18/04/17	23/04/17	5	21	 
Project I: Audio amplifier	30/03/17 16:03	03/04/17	09/04/17	5	23	 

< previous next >

Our website
(admin view)

Project papers - peer review

Module 3 Online Submit and Review System

Admin

Rounds Groups Review Criteria Settings Admins module3

Edit E-mail credentials

Round: Project II: FM transmitter

Added on: 16/04/17 17:06

















Number of reviews per paper: 5

Paper Deadline: 18/04/17

Review Deadline: 23/04/17

Number of participants: 21

Groups Participating

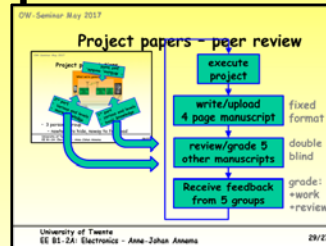
Users Name	Paper Submitted	Reviews Finished / Papers Assigned To	Actions
Group 01	Yes 	5 / 5	
Group 02	Yes 	5 / 5	
Group 03	Yes 	5 / 5	
Group 04	Yes 	5 / 5	
Group 05	Yes 	5 / 5	
Group 06	Yes 	5 / 5	
Group 07	Yes 	5 / 5	
Group 08	Yes 	3 / 5	

Our website
(admin overview)

Project papers - peer review

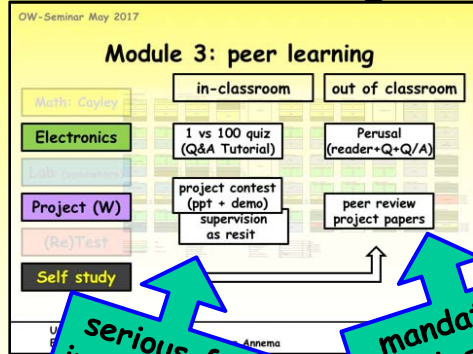
Project papers - peer review

- students learn from
 - project
 - doing reviews
 - getting reviews
 - split project (part1 & 2)
- fully automated website
 - saves a lot of time
 - students grade(s) OK!



mandatory oo-classroom works

Peer learning - Wrap up



serious fun
in-classroom
works

mandatory
oo-classroom
works

optional
oo-classroom
fails

